

(2) Japanese Patent Application Laid-Open No. 2002-289841 (2002)

**“SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF”**

The following is an English translation of an extract of the above application.

5

A first semiconductor device disclosed in the present invention comprises a semiconductor substrate, a gate insulating film formed on the semiconductor substrate, a gate electrode provided on the gate insulating film and consisting of a conductor film
10 having a wider pattern width at its upper portion than its lower portion, an offset spacer provided at the side portion of the gate electrode by oxidation and consisting of an oxide film which is thick at its lower portion and thin at its upper portion, an impurity diffusion region provided on both sides of the gate electrode in the semiconductor substrate, and a gate silicide film provided in an upper portion of the gate electrode.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289841

(P2002-289841A)

(43)公開日 平成14年10月4日(2002.10.4)

| (51)Int.Cl. | 識別記号 | F I | テームト(参考) |
|---------------|-------|---------------|-------------------|
| H 0 1 L 29/78 | | H 0 1 L 21/28 | 3 0 1 D 4 M 1 0 4 |
| 21/28 | 3 0 1 | 29/78 | 3 0 1 G 5 F 1 4 0 |
| 29/43 | | 29/62 | G |
| 21/336 | | 29/78 | 3 0 1 P |

審査請求 未請求 請求項の数15 O L (全 15 頁)

(21)出願番号 特願2001-89458(P2001-89458)

(22)出願日 平成13年3月27日(2001.3.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岸本 武久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山田 隆順

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

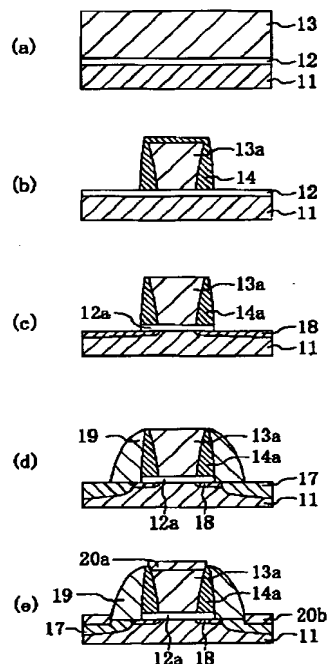
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 オフセットスペーサを付設したゲート電極の上面に、シリサイド膜の形成に必要な面積を確保しつつ、微細ゲートを有する半導体装置を実現する。

【解決手段】 シリコン基板11上にシリコン酸化膜12を堆積し、その上にポリシリコン膜13を堆積する。ポリシリコン膜13に上部で濃度が高くなるように窒素を導入した後、ポリシリコン膜13をパターニングしてゲート電極13aを形成する。ゲート電極13aの表面を覆うシリコン酸化膜14を形成した後、ゲート電極の側面上に下部で厚く、上部で薄いオフセットスペーサ14aを残す。次に、エクステンション領域18をシリコン基板内に形成後ゲート上部にシリサイド膜20aを形成する。ゲート電極の上部にシリサイド膜を形成する寸法を確保でき、ゲート長の短いゲート電極をデザインルールを変えずに形成できる。



【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板上に形成されたゲート絶縁膜と、
 上記ゲート絶縁膜の上に設けられ、パターン幅が下部に
 比べて上部の方が広い導体膜からなるゲート電極と、
 上記ゲート電極の側部に酸化によって設けられ、下部で
 厚く、上部で薄い酸化膜からなるオフセットスペーサ
 と、

上記半導体基板内における上記ゲート電極の両側方に設
 けられた不純物拡散領域と、
 上記ゲート電極の上部に設けられたゲートシリサイド膜
 とを備えている半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
 上記ゲート電極が、酸化抑制機能を持つ第 1 の不純物を
 含み、

上記第 1 の不純物の濃度が、上記ゲート電極のうち、上
 記ゲート絶縁膜に近い下部に比べて、上記ゲートシリサ
 イド膜に近い上部の方が高濃度になっていることを特徴
 とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、
 上記ゲート電極は、上記ゲート絶縁膜上に設けられた下
 部ゲート電極と、上記下部ゲート電極上に設けられた上
 部ゲート電極とから構成されており、
 上記下部ゲート電極が、酸化促進機能を持つ第 2 の不純
 物を上記上部ゲート電極よりも高濃度に含んでいること
 を特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、
 上記上部ゲート電極が、酸化抑制機能を持つ第 1 の不純
 物を上記下部ゲート電極よりも高濃度に含んでいること
 を特徴とする半導体装置。

【請求項 5】 半導体基板上に絶縁膜を堆積する工程
 (a) と、
 上記絶縁膜上に導体膜を堆積する工程 (b) と、
 酸化抑制機能を持つ抑制用不純物を、上記導体膜の上部
 では下部よりも高濃度となるように導入する工程 (c)
 と、
 上記導体膜をパターンニングしてゲート電極を形成する工
 程 (d) と、
 上記ゲート電極の表面部を酸化して表面を覆う酸化膜を
 形成する工程 (e) と、
 異方性エッチングにより、上記ゲート電極の上面上の上
 記酸化膜を除去し、上記ゲート電極の側面上に下部で厚
 く、上部で薄い酸化膜からなるオフセットスペーサを形
 成する工程 (f) と、
 上記ゲート電極と上記オフセットスペーサとをマスクと
 して所望の導電型を有する導電用不純物のイオン注入を
 行なって、上記半導体基板内における上記ゲート電極の
 両側方に不純物拡散領域を形成する工程 (g) と、
 上記ゲート電極の上部にゲートシリサイド膜を形成する
 工程 (h) とを含んでいる半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法
 において、

上記工程 (c) ではイオン注入により上記抑制用不純物を
 導入することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 に記載の半導体装置の製造方法
 において、

上記導体膜を形成するときに、上記抑制用不純物を in-s
 itu ドープすることにより、上記工程 (b) と上記工程
 (c) とを同時に行なうことを特徴とする半導体装置の
 製造方法。

【請求項 8】 請求項 5～7 のうちいずれか 1 つに記載
 の半導体装置の製造方法において、

上記工程 (e) より前には、キャリアとなる上記導電用
 不純物を上記ゲート電極に導入しないことを特徴とする
 半導体装置の製造方法。

【請求項 9】 半導体基板上に絶縁膜を堆積する工程
 (a) と、

上記絶縁膜の上に第 1 の導体膜を堆積する工程 (b)
 と、

上記第 1 の導体膜に酸化促進機能を持つ促進用不純物を
 導入する工程 (c) と、

上記第 1 の導体膜の上に第 2 の導体膜を堆積する工程
 (d) と、

上記第 1、第 2 の導体膜をパターンニングして、下部ゲ
 ート電極と上部ゲート電極から構成されるゲート電極を形
 成する工程 (e) と、

上記下部及び上部ゲート電極の表面部を酸化して表面を
 覆う酸化膜を形成する工程 (f) と、

異方性エッチングにより、上記ゲート電極の上面上の上
 記酸化膜を除去し、上記ゲート電極の側面上に下部で厚
 く、上部で薄い酸化膜からなるオフセットスペーサを残
 す工程 (g) と、

少なくとも上記ゲート電極と上記オフセットスペーサと
 をマスクとして所望の導電型を有する導電用不純物を注
 入し、上記半導体基板内における上記ゲート電極の両側
 方に不純物拡散領域を形成する工程 (h) と、

上記ゲート電極の上部にゲートシリサイド膜を形成する
 工程 (i) とを含んでいる半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方
 法において、

上記工程 (d) の後、工程 (e) の前に、上記第 2 の導
 体膜に酸化抑制機能を持つ抑制用不純物を導入する工程
 をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 に記載の半導体装置の製造
 方法において、

上記第 2 の導体膜への上記抑制用不純物の導入は、抑制
 用不純物を in-situ ドープすることにより、上記工程
 (d) と同時に行なうことを特徴とする半導体装置の製
 造方法。

【請求項 12】 請求項 9～11 のうちいずれか 1 つに

記載の半導体装置の製造方法において、上記工程（f）より前には、キャリアとなる上記導電用不純物を上記ゲート電極に注入しないことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9～12 のうちいずれか 1 つに記載の半導体装置の製造方法において、上記促進用不純物を in-situ ドープすることにより、上記工程（b）と上記工程（c）とを同時に行なうことを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 9～13 のうちいずれか 1 つに記載の半導体装置の製造方法において、少なくとも上記工程（b）と工程（d）は、酸素を遮断した環境で行われることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 9～14 のうちいずれか 1 つに記載の半導体装置の製造方法において、上記促進用不純物として、フッ素、キセノン、ヨウ素のうちから選ばれた 1 つを使用することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、ゲート電極の側方に下部の膜厚が厚く上部の膜厚が薄いオフセットスペーサを設けた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年デバイスの微細化に伴い、MOS トランジスタの速度向上を図るために、ゲート電極とソース・ドレイン間のオーバーラップ容量を低減することが必要となってきている。このために、従来より、ゲート電極の側面上にシリコン酸化膜からなるオフセットスペーサを形成し、ゲート電極及びオフセットスペーサをマスクとしてソース・ドレインエクステンション領域（以下、エクステンション領域と称す）を形成するための、高濃度のイオン注入を行う方法が採られている。これにより、オフセットスペーサを形成しない場合に比べて、シリコン基板内のゲート電極の直下方に位置する領域へのエクステンション領域の入り込みを浅くすることができ、ゲート電極とエクステンション領域との間のオーバーラップ容量を低減することができる。上記のオフセットスペーサを形成する手段として従来行われている技術の

説明を、図 6（a）～（e）及び図 7（a）～（e）を参照しながら以下に行う。

【0003】 図 6（a）～（e）は、第 1 の従来例における半導体装置の製造方法を示す断面図である。

【0004】 まず、図 6（a）に示す工程で、シリコン基板 101 上にシリコン酸化膜 102 を形成する。次に、基板上にポリシリコン膜を堆積した後、リソグラフィ技術及びドライエッチングにより、ポリシリコン膜をパターニングしてゲート電極 103 を形成する。

【0005】 次に、図 6（b）に示す工程で、CVD 法

により基板上にシリコン酸化膜 104 を堆積する。

【0006】 続いて、図 6（c）に示す工程で、シリコン酸化膜 104 をエッチバックしてゲート電極 103 の側面上にオフセットスペーサ 104a を形成するとともに、ゲート電極 103 の下にゲート絶縁膜 102a を形成する。これに続いて、ゲート電極 103 及びオフセットスペーサ 104a をマスクとしてイオン注入を行い、シリコン基板 101 内のゲート電極 103 の両側方にエクステンション領域 108 を形成する。

【0007】 次に、図 6（d）に示す工程で、基板上にシリコン酸化膜等の絶縁膜を堆積した後、これをエッチバックし、オフセットスペーサ 104a の外側にサイドウォール 109 を形成する。その後、ゲート電極 103、オフセットスペーサ 104a 及びサイドウォール 109 をマスクとしてイオン注入を行い、シリコン基板 101 内のエクステンション領域 108 の外側に高濃度ソース・ドレイン領域 107 を形成する。

【0008】 次に、図 6（e）に示す工程で、基板上にコバルト、ニッケル等の金属膜を堆積してから、ゲート電極 103 の上部及び高濃度ソース・ドレイン領域 107 の露出しているシリコン表面部とコバルト、ニッケル等とを反応させることにより、低抵抗化のためのシリサイド膜 110 を、ゲート電極 103 の上部及び高濃度ソース・ドレイン領域 107 の露出している表面部に自己整合的に形成する。

【0009】 次に、図 7（a）～（e）は、第 2 の従来例における半導体装置の製造方法を示す。

【0010】 図 7（a）に示す工程で、シリコン基板 101 上にシリコン酸化膜 102 を形成する。次に、基板上にポリシリコン膜を堆積した後、リソグラフィ技術及びドライエッチングにより、ポリシリコン膜をパターニングしてゲート用電極 113 を形成する。

【0011】 次に、図 7（b）に示す工程で、酸素雰囲気中でゲート用電極 113 の熱酸化を行ない、ゲート電極 113a の表面上にシリコン酸化膜 114 を形成する。

【0012】 続いて、図 7（c）に示す工程で、シリコン酸化膜 114 及び 102 をエッチバックすることにより、オフセットスペーサ 114a をゲート電極 113a の側面上に、ゲート酸化膜 102a をゲート電極 113a の下にそれぞれ形成する。その後、ゲート電極 113a 及びオフセットスペーサ 114a をマスクとしてイオン注入を行ない、エクステンション領域 108 をシリコン基板内のゲート電極 113a の両側方に形成する。

【0013】 次に、図 7（d）に示す工程で、基板上にシリコン酸化膜等の絶縁膜を堆積した後、これをエッチバックし、サイドウォール 109 を形成する。その後、ゲート電極 113a、オフセットスペーサ 114a 及びサイドウォール 109 をマスクとしてイオン注入を行い、シリコン基板内のエクステンション領域 108 の外

側に高濃度ソース・ドレイン領域107を形成する。

【0014】次に、図7(e)に示す工程で、基板上にコバルト、ニッケル等の金属膜を堆積してから、ゲート電極113aの上部及び高濃度ソース・ドレイン領域107の露出しているシリコン表面部とコバルト、ニッケル等とを反応させることにより、低抵抗化のためのシリサイド膜110を、ゲート電極113aの上部及び高濃度ソース・ドレイン領域107の露出している表面部に自己整合的に形成する。

【0015】上記第1、第2のどちらの技術を用いても、オフセットスペーサを形成することができ、オフセットスペーサを形成しない場合に比べて、シリコン基板内のゲート電極の直下方に位置する領域へのエクステンション領域の入り込みを浅くすることができる。これにより、MOSトランジスタにおいて、ゲート電極とエクステンション領域との間のオーバーラップ容量を低減する効果が得られる。

【0016】

【発明が解決しようとする課題】しかしながら、図6(a)～(e)及び図7(a)～(e)に示した第1、第2の従来例では、いくつかの問題点がある。これについて、以下で順を追って説明する。

【0017】ここで、実効的なゲート長とゲート電極自体のゲート長の関係について以下に補足する。

【0018】図8(a)、(b)は、第1の従来例において、ポリシリコン膜をバターンニングした直後のゲート電極の横方向寸法(ゲートバターンニング寸法; L_1)とオフセットスペーサを含めた実効的なゲート長 L_{n1} ($= (L_g + 2L_o)$) とを示す図である。ここで、 L_g はゲート電極自体の電極ゲート長、 L_o はオフセットスペーサの厚みを表す。

【0019】また、図8(c)、(d)は、第2の従来例において、ゲートバターンニング寸法 L_2 と実効的なゲート長 L_{n2} ($= (L_g + 2L_w)$) とを示す図である。ここで、 L_w はオフセットスペーサの厚みを表す。比較のため、第1及び第2の従来例それぞれにおけるゲート自体のゲート長を同一としている。

【0020】第1の従来例におけるゲートバターンニング寸法 L_1 は、オフセットスペーサ形成の前後で変化しないので、オフセットスペーサ104a形成後のゲート電極103自体の電極ゲート長 L_g と同一寸法となる。ところが、実効的なゲート長 L_{n1} は、イオン注入のマスクとなるオフセットスペーサ104aの厚み L_o を含む部分の横方向寸法で決まるため、 $L_g + 2L_o$ となる(図8b参照)。すなわち、実効的なゲート長 L_{n1} に対してゲートバターンニング寸法 L_1 は $L_{n1} - 2L_o$ となる。従って、実効的なゲート長 L_{n1} を $0.10\mu\text{m}$ にする場合、オフセットスペーサ104aの厚み L_o を一般的に必要とされる 10nm にすると、ゲートバターンニング寸法 L_1 は $0.08\mu\text{m}$ となる。

【0021】一方、第2の従来例では、オフセットスペーサとなる酸化膜は、ゲート用電極113を構成するポリシリコンを浸食することにより形成されるので、酸化膜の形成により、ゲート電極113aの体積は小さくなる。一方、酸化により形成される酸化膜の体積は、浸食したポリシリコンの体積よりも大きくなる。従って、オフセットスペーサ114a形成後のゲート電極113a自体のゲート長 L_g は、ゲート電極113のゲートバターンニング寸法を L_2 、オフセットスペーサ114aの厚さを L_w 、ゲート電極113aの酸化に伴う片側の横方向寸法の増加分を L_{ox} とすると $L_2 - (2L_w - 2L_{ox})$ となる。ところが、実効的なゲート長 L_{n2} に対してゲートバターンニング寸法 L_2 は、 $L_{n2} - 2L_{ox}$ となる。従って、実効的なゲート長 L_{n2} を $0.10\mu\text{m}$ にする場合、オフセットスペーサ114aの厚さ L_w を第1の従来例と同様に 10nm とし、このときの酸化による増加分 L_{ox} が約 4nm のとき、ゲート電極113のゲートバターンニング寸法 L_2 は、約 $0.092\mu\text{m}$ となる。

【0022】このことは、同一の実効的なゲート長を持つゲート電極を作製する場合、CVD法を用いる第1の従来例では熱酸化法を用いる第2の従来例に比べてゲートバターンニング寸法を小さくする必要があることを意味する。従って、第1の従来例においては、ゲート電極103の微細化に伴って、ゲート電極の加工が難しくなるというおそれがある。また、オフセットスペーサ104aとして要求される膜厚が薄くなるにつれ、CVD法によって酸化膜を成膜する場合の成膜膜厚と、異方性ドライエッチングにより形成されるオフセットスペーサの膜厚の制御が難しくなり、膜厚のばらつきも大きくなるという不具合がある。さらに、ゲート電極103自体の電極ゲート長 L_g は実効的なゲート長 L_{n1} より短いため、ゲート電極103上に低抵抗化のためのシリサイド膜を形成するのが物理的に難しいという不具合もある。

【0023】第2の従来例では、第1の従来例と比較してゲートバターンニング寸法を大きくでき、膜厚の制御性も良好である。しかしながら、ゲート電極113a自体の電極ゲート長 L_g は実効的なゲート長より短い点は第1の従来例と同じであり、ゲート電極上にシリサイド膜を形成するのが物理的に難しいという不具合は依然として残されている。

【0024】本発明の目的は、オフセットスペーサを付設したゲート電極の上面において、良好なシリサイド膜を形成するのに必要な寸法を確保するための手段を講ずることにより、微細化に適し、駆動力の大きい半導体装置及びその製造方法を提供することにある。

【0025】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板と、上記半導体基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられ、バタ

ーン幅が下部に比べて上部の方が広い導体膜からなるゲート電極と、上記ゲート電極の側面に酸化によって設けられ、下部で厚く、上部で薄い酸化膜からなるオフセットスペーサと、上記半導体基板内における上記ゲート電極の両側方に設けられた不純物拡散領域と、上記ゲート電極の上部に設けられたゲートシリサイド膜とを備えている。

【0026】これにより、オフセットスペーサによりゲート長寸法を微細化したゲート電極において、ゲート電極の上面の面積を十分確保できるので、ゲート電極上に良好なシリサイド膜を形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置が得られる。

【0027】上記第1の半導体装置において、上記ゲート電極が、酸化抑制機能を持つ第1の不純物を含み、上記第1の不純物の濃度が、上記ゲート電極のうち、上記絶縁膜に近い下部に比べて、上記ゲートシリサイド膜に近い上部の方が高濃度になっていることにより、オフセットスペーサによりゲート長寸法が微細化されたゲート電極において、ゲート電極の上面の面積を十分確保することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置が得られる。

【0028】上記第1の半導体装置において、上記ゲート電極は、上記ゲート絶縁膜上に設けられた下部ゲート電極と、上記下部ゲート電極上に設けられた上部ゲート電極とから構成されており、上記下部ゲート電極が、酸化促進機能を持つ第2の不純物を上記上部ゲート電極よりも高濃度に含んでいることにより、オフセットスペーサによりゲート長寸法を微細化したゲート電極において、ゲート電極の上面の面積を十分確保できるので、ゲート電極上に良好なシリサイド膜を形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置が得られる。

【0029】上記第1の半導体装置において、上記上部ゲート電極が、酸化抑制機能を持つ第1の不純物を上記下部ゲート電極よりも高濃度に含んでいることにより、オフセットスペーサによりゲート長寸法を微細化したゲート電極において、ゲート電極の上面の面積を十分確保できるので、ゲート電極上に良好なシリサイド膜を形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置が得られる。

【0030】本発明の第1の半導体装置の製造方法は、半導体基板上に絶縁膜を堆積する工程(a)と、上記絶縁膜上に導体膜を堆積する工程(b)と、酸化抑制機能を持つ抑制用不純物を、上記導体膜の上部では下部より

も高濃度となるように導入する工程(c)と、上記導体膜をパターニングしてゲート電極を形成する工程(d)と、上記ゲート電極の表面部を酸化して表面を覆う酸化膜を形成する工程(e)と、異方性エッチングにより、上記ゲート電極の上面上の上記酸化膜を除去し、上記ゲート電極の側面上に下部で厚く、上部で薄い酸化膜からなるオフセットスペーサを形成する工程(f)と、上記ゲート電極と上記オフセットスペーサとをマスクとして所望の導電型を有する導電用不純物のイオン注入を行なって、上記半導体基板内における上記ゲート電極の両側方に不純物拡散領域を形成する工程(g)と、上記ゲート電極の上部にゲートシリサイド膜を形成する工程(h)とを含んでいる。

【0031】上記工程(c)では導体膜の上部では下部よりも高濃度となるように上記抑制用不純物が導入されるので、上記工程(e)及び工程(f)において下部で厚く、上部で薄い酸化膜が形成される。よって、ゲート長をデザインルールよりも短くしつつ、工程(h)ではゲート電極の上部に良好なシリサイド膜を形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置を製造することができる。

【0032】また、上記第1の半導体装置の製造方法において、上記工程(c)ではイオン注入により上記抑制用不純物を導入することにより、酸化抑制機能を持つ不純物の濃度を所望の濃度分布を有するように導入しうる。

【0033】あるいは、上記第1の半導体装置の製造方法において、上記導体膜を形成するときに、上記抑制用不純物をin-situ ドープすることにより、上記工程(b)と上記工程(c)とを同時に行なうこともできる。

【0034】これにより、イオン注入よりも確実に、酸化抑制機能を持つ抑制用不純物の濃度を所望の濃度分布を有するように導入しうる。

【0035】上記第1の半導体装置の製造方法において、上記工程(e)より前には、キャリアとなる上記導電用不純物を上記ゲート電極に導入しないことが好ましい。

【0036】これにより、キャリアとなる導電用不純物を含むゲート電極を酸化処理した場合に起こる、ゲート電極のパターニング形状の悪化を防ぐことができる。

【0037】本発明の第2の半導体装置の製造方法は、半導体基板上に絶縁膜を堆積する工程(a)と、上記絶縁膜の上に第1の導体膜を堆積する工程(b)と、上記第1の導体膜に酸化促進機能を持つ促進用不純物を導入する工程(c)と、上記第1の導体膜の上に第2の導体膜を堆積する工程(d)と、上記第1、第2の導体膜をパターニングして、下部ゲート電極と上部ゲート電極から構成されるゲート電極を形成する工程(e)と、上記

下部及び上部ゲート電極の表面部を酸化して表面を覆う酸化膜を形成する工程(f)と、異方性エッチングにより、上記ゲート電極の上面上の酸化膜を除去し、上記ゲート電極の側面上に下部で厚く、上部で薄い酸化膜からなるオフセットスペーサを残す工程(g)と、少なくとも上記ゲート電極と上記オフセットスペーサとをマスクとして所望の導電型を有する導電用不純物を注入し、上記半導体基板内における上記ゲート電極の両側方に不純物拡散領域を形成する工程(h)と、上記ゲート電極の上部にゲートシリサイド膜を形成する工程(i)とを含んでいる。

【0038】上記工程(c)では、上記第1の導体膜に酸化促進機能を持つ促進用不純物が導入されるので、上記工程(f)及び工程(g)において下部で厚く、上部で薄い酸化膜が形成される。よって、ゲート長をデザインルールよりも短くしつつ、上記工程(i)ではゲート電極の上部にシリサイドを形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置を製造することができる。加えて、上記第1の半導体装置の製造方法に比べてゲート電極の酸化速度が促進されるため、上記工程(f)に要する時間を短縮することが可能になる。

【0039】また、上記第2の半導体装置の製造方法において、上記工程(d)の後、工程(e)の前に、上記第2の導体膜に酸化抑制機能を持つ抑制用不純物を導入する工程をさらに含むことにより、工程(f)において上記上部ゲート電極の表面の酸化が抑制されてゲート電極の上面の面積がより広くなり、微細なゲート電極上でもゲートシリサイド膜を安定して形成することができ

る。

【0040】また、上記第2の半導体装置の製造方法において、上記第2の導体膜への上記抑制用不純物の導入は、抑制用不純物をin-situ ドープすることにより、上記工程(d)と同時に進んでもよい。

【0041】これにより、酸化抑制機能を持つ抑制用不純物を所望の濃度で導入しうる。

【0042】尚、上記第2の半導体装置の製造方法において、上記工程(f)より前には、キャリアとなる上記導電用不純物を上記ゲート電極に注入しないことが好ましい。

【0043】これにより、キャリアとなる導電用不純物を含むゲート電極を酸化処理した場合に起こる、バターンニング形状の悪化を防ぐことができる。

【0044】また、上記第2の半導体装置の製造方法において、上記促進用不純物をin-situ ドープすることにより、上記工程(b)と上記工程(c)とを同時に進めることもできる。

【0045】これにより、酸化促進機能を持つ促進用不純物を所望の濃度で導入しうる。

【0046】上記第2の半導体装置の製造方法において、少なくとも上記工程(b)と工程(d)は、酸素を遮断した環境で行われることが好ましい。

【0047】これにより、上記第1の導体膜と上記第2の導体膜の界面において、酸化による絶縁膜の形成を防ぐことができる。

【0048】また、上記第2の半導体装置の製造方法において、上記促進用不純物として、フッ素、キセノン、ヨウ素のうちから選ばれた1つを使用することが好ましい。

【0049】

【発明の実施の形態】(第1の実施形態)図1(a)～(e)は、本発明における第1の実施形態に係る半導体装置の製造工程を示す断面図である。尚、本実施形態では、n型MISトランジスタの製造方法について説明するが、同様な方法によってp型MISトランジスタも形成することができる。

【0050】まず、図1(a)に示す工程で、シリコン基板11に活性領域を囲むための素子分離(図示せず)を形成した後、熱酸化法により、シリコン基板11の活性領域上に膜厚3nmのシリコン酸化膜12を形成する。次に、CVD法により、シリコン酸化膜12上に膜厚200nmのポリシリコン膜13を堆積した後、シリコンの酸化を抑制するための不純物イオン、例えば窒素イオンを、加速電圧5～20keV、 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ の条件でポリシリコン膜13へ注入する。このとき、窒素の濃度が、ポリシリコン膜13のうちシリコン酸化膜12に近い下部で最も低く、上部に向かうにつれ連続的に高くなるように注入を行う。また、本実施形態では、窒素の導入をイオン注入により行ったが、ポリシリコン膜13の堆積時にin-situ ドープによりポリシリコン膜13に窒素を導入してもよい。

【0051】その後、リソグラフィ技術及びドライエッチング技術により、ポリシリコン膜13をバターンニングして、ゲートバターンニング寸法が0.092μm(92nm)のゲート用電極(図示せず)を形成する。

【0052】次に、図1(b)に示す工程で、基板を酸素雰囲気中、850～1100℃で熱処理(RTA)し、ゲート電極13aの表面上にシリコン酸化膜14を形成する。ここで、熱処理の時間は、例えば850℃では30秒、1100℃では3秒というように、処理温度により適宜調整する。尚、この熱酸化処理により形成されるシリコン酸化膜14の膜厚は、ゲート電極13aの下部では約10nm(ポリシリコン浸食分6nm、酸化による寸法増加分4nm)と最も厚く、ゲート電極13aの上部に向かうにつれ、窒素導入の効果により、2.5nm程度(ポリシリコン浸食分1.5nm、酸化による寸法増加分1.0nm)まで連続的に薄くなっている。このとき形成されるシリコン酸化膜14の膜厚の6割がポリシリコン浸食分、4割が酸化による寸法増加分

である。

【0053】次に、図1(c)に示す工程で、ゲート電極13aのポリシリコン表面が露出するまで、ドライエッチングを行ない、シリコン酸化膜14のうちゲート電極13aの上面の部分、及び、シリコン基板11上のシリコン酸化膜12を除去する。これにより、オフセットスペース14aがゲート電極13aの側面上に形成され、ゲート絶縁膜12aがゲート電極13aの下に形成される。このオフセットスペース14aを形成することにより、シリコン基板11内の、ゲート電極13aの直下方へのエクステンション領域18の入り込みを浅くすることができ、ゲート電極13aとエクステンション領域18との間のオーバーラップ容量を低減する効果が得られる。この後、ゲート電極13a及びオフセットスペース14aをマスクとしてN型の不純物イオンである、例えばAsイオンを加速電圧10keV、 $5 \times 10^{14} \text{ cm}^{-2}$ で注入し、シリコン基板11内のゲート電極13aの両側方にエクステンション領域18を形成する。尚、本実施形態では、不純物の領域の例としてエクステンション領域18を挙げたが、これに代えて、より不純物濃度が低いLDD領域を形成してもよい。

【0054】次に、図1(d)に示す工程では、基板上にCVD法により、厚さ60nmのシリコン酸化膜等の絶縁膜を形成し、これをエッチバックしてサイドウォール19をオフセットスペース14aの側面上に形成する。ここで、一般的ではないが、サイドウォールの形成工程を省略することもできる。その後、ゲート電極13a、オフセットスペース14a及びサイドウォール19をマスクとして加速電圧30keV、 $3 \times 10^{15} \text{ cm}^{-2}$ でn型の不純物イオンである、例えばAsイオンのイオン注入を行ない、エクステンション領域18の外側に高濃度ソース・ドレイン領域17を形成する。

【0055】但し、メモリセル等に使用する半導体装置の場合、高濃度ソース・ドレイン領域を形成せず、エクステンション領域またはLDD領域のみを不純物拡散領域として半導体基板内のゲート電極の両側方に形成することがある。

【0056】次に、図1(e)に示す工程で、CVD法によりコバルト膜を基板上に10nm程度堆積し、400~500℃に加熱してコバルト膜とシリコンまたはポリシリコンとを反応させた後、エッチングにより未反応の金属コバルト膜を除去する。その後、700~800℃でシリサイドの相転換を行なうことにより、ゲート電極13aの上部にはコバルトシリサイド膜20a(ゲートシリサイド膜)が形成され、高濃度ソース・ドレイン領域17の表面部にはコバルトシリサイド膜20bが形成される。ここで、ゲート電極13aの上部のコバルトシリサイド膜20aは本実施形態に必須であるが、高濃度ソース・ドレイン領域17の表面部のコバルトシリサイド膜20bは形成されていなくともよい。

【0057】本実施形態によれば、実効的なゲート長が従来例と同一のゲート電極において、従来の方法よりもゲート電極の上面の面積を広くすることができ、ゲート電極上のシリサイドを物理的に形成しやすくてできる。

【0058】尚、シリサイドを形成するための金属材料としてはコバルトの他に、タングステン、チタン、ニッケル等を使用してもよい。

【0059】本実施形態は、ゲート電極を構成するポリシリコンに、シリコンの酸化を抑制する機能を持つ窒素を導入することを特徴としている。その理由について、以下に説明する。

【0060】図2は、窒素をポリシリコンに導入した場合の窒素濃度と熱酸化法による酸化速度との関係を示す図である。同図に示されているように、ポリシリコン中の窒素濃度の上昇に伴い、酸化速度が減少していることが分かる。

【0061】本実施形態では、窒素の持つシリコンの酸化を抑制する機能を利用し、ゲート電極を構成するポリシリコンにゲート絶縁膜に近い下部で最も窒素濃度が低く、上部に向かうにつれ連続的に窒素濃度が高くなるように、窒素を導入している。これにより、ゲート電極の下方では厚く、ゲート電極の上方に向かうにつれ、連続的に薄くなるようにオフセットスペースとなる酸化膜を形成することができる。例えば、ゲート電極における窒素の濃度分布の調整により、オフセットスペースの上部の膜厚を、下部の最も膜厚が厚い部分の $1/2 \sim 1/4$ の厚さに形成することが可能である。

【0062】図3は、本実施形態により作製した半導体装置の模式図である。図3において、ゲート電極13aの電極ゲート長を L_g 、オフセットスペースの最も厚い下部での膜厚を L_{w_1} (うちポリシリコン侵食分は $3/5 L_{w_1}$)、オフセットスペースの上面での膜厚を L_{w_2} (うちポリシリコン侵食分は $3/5 L_{w_2}$)とすると、実効的なゲート長 L_n は $L_g + 2 L_{w_1}$ であり、ゲート電極13aの上面の寸法は、 $L_g + 2 (3/5 L_{w_1} - 3/5 L_{w_2})$ となる。実効的なゲート長 L_n を0.10 μm とした場合、ゲートオーバーラップ容量を小さく維持するためには、オフセットスペースの最も厚い部分での膜厚 L_{w_1} は、10nmが要求される。このとき、 L_{w_2} は最小で約2.5nmとなり、ゲート電極13aの上面の寸法は約0.089 μm 、ゲート絶縁膜12a側の下面の寸法は約0.08 μm となる。一方、上記第2の従来例では、実効的なゲート長を0.10 μm とした場合、ゲート電極の上面及び下面の寸法は0.080 μm となる(図8(d)参照)。つまり、本実施形態においては、実効的なゲート長を従来例と同じとした場合、従来の方法よりも大きなゲート電極の上面の面積を確保できることになる。これにより、従来技術と異なり、微細なゲート電極上でもシリサイド膜を安定して形成することができ、ゲート電極における寄生抵抗を効果

的に低減することができるようになる。

【0063】また、本実施形態においては、従来例で述べたオフセットスペーサの膜厚の制御の問題を解決するために、オフセットスペーサの形成を熱酸化法によって行っている。これにより、第2の従来例と同様に、ゲートバタニング寸法を大きくでき、膜厚が良好に制御できる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置の製造が可能になる。

【0064】次に、本実施形態に係る半導体装置は、図1(e)に示すように、シリコン基板11上に形成されたシリコン酸化膜からなるゲート絶縁膜12aと、上記ゲート絶縁膜12aの上に形成された、窒素を含むポリシリコンからなり、ゲート絶縁膜12a側の下面よりも上面の方が寸法が広がっているゲート電極13aと、ゲート電極13aの側部を酸化して設けられ、膜厚が下部で厚く、上部に向かうにつれ連続的に薄くなるように形成されたシリコン酸化物からなるオフセットスペーサ14aと、オフセットスペーサ14aの側面上に設けられたサイドウォール19とを備えている。また、シリコン基板11内における、ゲート電極13aの両端直下とその側方にはエクステンション領域18が設けられ、エクステンション領域18の外側には高濃度ソース・ドレイン領域17が設けられている。さらに、ゲート電極13aの上部にはコバルトシリサイド膜20aが形成され、高濃度ソース・ドレイン領域17の表面部にはコバルトシリサイド膜20bが形成されている。

【0065】本実施形態に係る半導体装置の特徴は、ゲート電極13aの側部を酸化して設けられたオフセットスペーサ14aが、ゲート電極の下部で厚く、上部へ向かうに従って連続的に薄く形成されている点にある。これにより、ゲート電極の上面の面積を広く確保しつつ、実効的なゲート長をより短くすることができる。よって、ゲート電極における寄生抵抗が小さく、且つ駆動力の大きい半導体装置が得られる。

【0066】(第2の実施形態)図4(a)～(e)は、本発明における第2の実施形態に係る半導体装置の製造工程を示す断面図である。尚、第1の実施形態と同様にn型MISトランジスタの製造方法について説明するが、同様な方法によりp型MISトランジスタも形成できる。

【0067】まず、図4(a)に示す工程で、シリコン基板11に活性領域を囲むための素子分離(図示せず)を形成した後、熱酸化法により、シリコン基板11の活性領域上に膜厚3nmのシリコン酸化膜12を形成する。次に、CVD法により、シリコン酸化膜12上に膜厚100nmの第1のポリシリコン膜21を堆積した後、シリコンの酸化を促進するための不純物イオン、例えばフッ素イオンを、加速電圧60keV、 $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^{-2}$ の条件で第1のポリシリコン膜2

1へ注入する。本実施形態では、フッ素の導入をイオン注入により行ったが、第1のポリシリコン膜21の堆積時にin-situドーピングによりフッ素の導入を行ってもよい。また、シリコンの酸化を促進する不純物として、本実施形態ではフッ素を用いたが、他にヨウ素、キセノン等を使用することもできる。次に、CVD法により、膜厚100nmの第2のポリシリコン膜22を第1のポリシリコン膜21の上に形成する。ここで、上記第1のポリシリコン膜21と第2のポリシリコン膜22の界面に酸化による絶縁膜が形成されるのを防ぐために、第1、第2のポリシリコン膜21、22を形成する工程は、例えばクラスタリング装置中のロードロックチャンバ等の装置を用いて、酸素を除いた条件で行なう必要がある。

【0068】その後、リソグラフィ技術及びドライエッチング技術により、第1及び第2のポリシリコン膜21、22をバタニングして、バタニング寸法が0.092 μm (92nm)の下部ゲート用電極及び上部ゲート用電極(図示せず)を形成する。

【0069】次に、図4(b)に示す工程で、基板を酸素雰囲気中、850～1100℃で熱処理(RTA)し、下部ゲート電極21a及び上部ゲート電極22aからなるゲート電極24の露出したシリコン表面上にシリコン酸化膜23を形成する。ここで、熱処理の時間は、第1の実施形態の場合よりも短く、例えば850℃では15秒、1100℃では2秒というように、処理温度により適宜調整する。尚、この熱酸化処理により形成されるシリコン酸化膜23の膜厚は、下部ゲート電極21aの側面上ではシリコンの酸化を促進するフッ素の機能により約10nm、上部ゲート電極22aの側面上では、2.5nm程度になっている。

【0070】次に、図4(c)に示す工程で、ゲート電極24のポリシリコン表面が露出するまでドライエッチングを行ない、シリコン酸化膜23のうちゲート電極24の上面上の部分、及び、シリコン基板11上のシリコン酸化膜12を除去する。これにより、オフセットスペーサ23aがゲート電極24の側面上に形成され、ゲート絶縁膜12aがゲート電極24の下に形成される。このオフセットスペーサ23aを形成することにより、シリコン基板11内の、ゲート電極24の直下方へのエクステンション領域18の入り込みを浅くすることができ、ゲート電極24とエクステンション領域18との間のオーバーラップ容量を低減する効果が得られる。この後、ゲート電極24及びオフセットスペーサ23aをマスクとしてN型の不純物イオンである、例えばAsイオンを加速電圧10keV、 $5 \times 10^{14} \text{cm}^{-2}$ で注入し、シリコン基板11内のゲート電極24の両側方にエクステンション領域18を形成する。尚、本実施形態では、不純物領域の例としてエクステンション領域18を挙げたが、これに代えて、より不純物濃度が低いLDD領域を形成してもよい。

【0071】次に、図4(d)に示す工程では、基板上にCVD法により、厚さ60nmのシリコン酸化膜等の絶縁膜を形成し、これをエッチバックしてサイドウォール19をオフセットスペーサ23aの側面上に形成する。ここで、一般的ではないが、サイドウォールの形成工程を省略することもできる。その後、ゲート電極24、オフセットスペーサ23a及びサイドウォール19をマスクとして加速電圧30keV、 $3 \times 10^{15} \text{ cm}^{-2}$ でN型の不純物イオンである、例えばAsイオンのイオン注入を行ない、エクステンション領域18の外側に高濃度ソース・ドレイン領域17を形成する。

【0072】但し、メモリセル等に使用する半導体装置の場合、高濃度ソース・ドレイン領域を形成せず、エクステンション領域またはLDD領域のみを半導体基板内のゲート電極の両側方に形成することがある。

【0073】次に、図4(e)に示す工程で、CVD法によりコバルト膜を基板上に10nm程度の厚さで堆積し、400～500℃に加熱してコバルト膜とシリコン及びポリシリコンとを反応させた後、エッチングにより未反応のコバルト膜を除去する。その後、700～800℃でシリサイドの相転換を行なうことにより、ゲート電極24上にコバルトシリサイド膜30a(ゲートシリサイド膜)が形成され、高濃度ソース・ドレイン領域17の露出しているシリコン表面上にコバルトシリサイド膜30bが形成される。ここで、ゲート電極24の上部のコバルトシリサイド膜30aは本実施形態に必須であるが、高濃度ソース・ドレイン領域17の表面部のコバルトシリサイド膜30bは形成されていなくともよい。

【0074】本実施形態によれば、実効的なゲート長が従来例と同一のゲート電極において、従来の方法よりもゲート電極の上面の面積を大きくすることができ、ゲート電極上のシリサイドを物理的に形成しやすくなる。

【0075】本実施形態は、下部ゲート電極21aを構成するポリシリコンに、シリコンの酸化を促進する機能を持つフッ素を導入することの特徴としている。その理由について、以下に説明する。

【0076】フッ素、ヨウ素、キセノン等の不純物は、シリコンまたはポリシリコンに加えることにより、これらの酸化を促進する機能を持っている。

【0077】本実施形態では、フッ素の持つシリコンの酸化を促進する機能を利用し、下部ゲート電極21aを構成するポリシリコンにフッ素を導入し、上部ゲート電極22aを構成するポリシリコンには酸化促進機能を持つ添加物を加えない。これにより、ゲート電極24のうち下部ゲート電極21aの側面には厚く、上部ゲート電極22aの側面には薄いオフセットスペーサ23aを形成することができる。また、オフセットスペーサ23aの上部と下部の膜厚の比は、下部ゲート電極21aに導入するフッ素の濃度により調節することが可能である。

【0078】図4(e)において、下部ゲート電極21

aの電極ゲート長を L_g 、オフセットスペーサ23aの最も厚い下部での膜厚を L_{w_1} (うちポリシリコン侵食分は $3/5 L_{w_1}$)、オフセットスペーサ23aの最も薄い上面での膜厚を L_{w_2} (うちポリシリコン侵食分は $3/5 L_{w_2}$)とすると、実効的なゲート長 L_n は $L_g + 2 L_{w_1}$ であり、上部ゲート電極22aの上面の寸法は、 $L_g + 2 (3/5 L_{w_1} - 3/5 L_{w_2})$ となる。実効的なゲート長 L_n を0.10 μm とした場合、ゲートオーバーラップ容量を小さく維持するためには、オフセットスペーサ23aの最も厚い部分での膜厚 L_{w_1} は、10nmが要求される。このとき、 L_{w_2} は2.5nm、上部ゲート電極22aの寸法は約0.089 μm となり、下部ゲート電極21aの寸法は約0.08 μm となる。このように、 L_{w_2} はオフセットスペーサ23aの最も厚い部分での膜厚 L_{w_1} より小さくなるので、上部ゲート電極22aの上面の寸法は必ず0.080 μm より大きくなる。つまり、本実施形態においては、第1の実施形態と同様に、実効的なゲート長を従来例と同じとした場合、従来の方法よりもゲート電極の上面の寸法を大きく確保できることになる。これにより、従来技術とは異なり、微細なゲート電極上でもシリサイド膜を安定して形成することができ、ゲート電極における寄生抵抗を効果的に低減することができるようになる。

【0079】また、本実施形態においては、従来例で述べたオフセットスペーサの膜厚の制御に関する問題を解決するために、オフセットスペーサの形成を熱酸化法によって行っている。これにより、第2の従来例と同様に、ゲートバタニング寸法を大きくでき、膜厚が良好に制御できる。加えて、本実施形態では、ゲート電極表面部へのシリコン酸化膜の形成工程において、第1の実施形態に比べて低温条件でも熱処理の時間を短縮することが可能である。これは、決まった厚さのシリコン酸化膜をポリシリコンの表面部に形成する場合、酸化を促進するフッ素を含むポリシリコンの方がフッ素を含まないポリシリコンよりも早く酸化されるため、シリコン酸化膜の形成が短時間で済むためである。

【0080】次に、本実施形態に係る半導体装置は、図4(e)に示すように、シリコン基板11上に形成されたシリコン酸化膜からなるゲート絶縁膜12aと、上記ゲート絶縁膜12aの上に形成された、フッ素を含むポリシリコンからなる下部ゲート電極21aと、下部ゲート電極21aよりも寸法の大きい上部ゲート電極22aから構成されるゲート電極24と、下部ゲート電極21aの側面上では膜厚が厚く、上部ゲート電極22aの側面上では膜厚が薄くなるように形成されたシリコン酸化物からなるオフセットスペーサ23aと、上記オフセットスペーサ23aの側面上に設けられたサイドウォール19とを備えている。また、シリコン基板11内における、ゲート電極24の両端直下とその側方にはエクステンション領域18が設けられ、エクステンション領域1

8の外側には高濃度ソース・ドレイン領域17が設けられている。さらに、ゲート電極24の上部にはコバルトシリサイド膜30aが形成され、高濃度ソース・ドレイン領域17の表面部にはコバルトシリサイド膜30bが形成されている。

【0081】尚、オフセットスペーサ23aの膜厚は、下部ゲート電極21aの側面上あるいは上部ゲート電極22aの側面上で均一でなくともよいが、オフセットスペーサ23a下部は上部より必ず厚く形成される。

【0082】本実施形態に係る半導体装置の特徴は、下部ゲート電極21a及び上部ゲート電極22aの側面を酸化して設けられたオフセットスペーサ23aが、下部ゲート電極21aの側面上に比べて、上部ゲート電極22aの側面上で膜厚が薄く形成されている点にある。これにより、ゲート電極の上面の面積を広く確保しつつ、実効的なゲート長をより短くすることができる。よって、ゲート電極における寄生抵抗が小さく、且つ駆動力の大きい半導体装置が得られる。

【0083】(第3の実施形態) 図5(a)~(e)は、本発明における第3の実施形態に係る半導体装置の製造方法を示す断面図である。第1及び第2の実施形態と同様に、n型MISトランジスタの製造方法について説明するが、同様な方法によってp型MISトランジスタも形成することができる。

【0084】まず、図5(a)に示す工程で、シリコン基板11に活性領域を囲むための素子分離(図示せず)を形成した後、熱酸化法により、シリコン基板11の活性領域上に膜厚3nmのシリコン酸化膜12を形成する。次に、CVD法により、シリコン酸化膜12上に膜厚100nmの第1のポリシリコン膜31を堆積した後、シリコンの酸化を促進するための不純物のイオン、例えばフッ素イオンを、加速電圧30keV、 $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^{-2}$ の条件で第1のポリシリコン膜31へ注入する。シリコンの酸化を促進する不純物として、本実施形態ではフッ素を用いたが、他にヨウ素、キセノン等を使用することもできる。次に、CVD法により、膜厚100nmの第2のポリシリコン膜32を第1のポリシリコン膜31の上に形成した後、シリコンの酸化を抑制するための不純物イオン、例えば窒素イオンを、加速電圧10keV、 $1 \times 10^{13} / \text{cm}^{-2}$ で第2のポリシリコン膜32へ注入する。ここで、上記第1のポリシリコン膜31と第2のポリシリコン膜32の界面に酸化による絶縁膜が形成されるのを防ぐために、第1、第2のポリシリコン膜31、32を形成する工程は、例えばクラスタリング装置中のロードロックチャンバ等の装置を用いて、酸素を除いた条件で行なう必要がある。また、本実施形態においては、第1のポリシリコン膜31へのフッ素の導入と、第2のポリシリコン膜32への窒素の導入をイオン注入により行ったが、第1及び第2のポリシリコン膜の堆積時にin-situ ドーピングによ

て行ってもよい。

【0085】その後、リソグラフィ技術及びドライエッチング技術により、第1及び第2のポリシリコン膜31、32をパターンニングして、パターンニング寸法が0.092 μm (92nm)の下部ゲート用電極及び上部ゲート用電極(図示せず)を形成する。

【0086】次に、図5(b)に示す工程で、基板を酸素雰囲気中、850~1100℃で熱処理(RTA)し、下部ゲート電極21a及び上部ゲート電極22aからなるゲート電極24の露出したシリコン表面上にシリコン酸化膜33を形成する。ここで、熱処理の時間は、例えば850℃では15秒、1100℃では2秒というように、処理温度により適宜調整する。尚、この熱酸化処理により形成されるシリコン酸化膜33の膜厚は、下部ゲート電極31aの側面上ではシリコンの酸化を促進するフッ素の機能により約10nm、上部ゲート電極32aの側面上ではシリコンの酸化を抑制する窒素の機能により1.5nm程度になっている。

【0087】次に、図5(c)に示す工程で、ゲート電極34のポリシリコン表面が露出するまでドライエッチングを行ない、シリコン酸化膜33のうちゲート電極34の上面上の部分、及び、シリコン基板11上のシリコン酸化膜12を除去する。これにより、オフセットスペーサ33aがゲート電極34の側面上に形成され、ゲート絶縁膜12aがゲート電極34の下に形成される。このオフセットスペーサ33aを形成することにより、シリコン基板11内の、ゲート電極34の直下方へのエクステンション領域18の入り込みを浅くすることができ、ゲート電極34とエクステンション領域18との間のオーバーラップ容量を低減する効果が得られる。この後、ゲート電極34及びオフセットスペーサ33aをマスクとしてN型の不純物イオンである、例えばAsイオンを加速電圧10keV、 $5 \times 10^{14} / \text{cm}^{-2}$ で注入し、シリコン基板11内のゲート電極34の両側方にエクステンション領域18を形成する。尚、本実施形態では、不純物領域の例としてエクステンション領域18を挙げたが、これに代えて、より不純物濃度が低いLDD領域を形成してもよい。

【0088】次に、図5(d)に示す工程では、基板上にCVD法により、厚さ60nmのシリコン酸化膜等の絶縁膜を形成し、これをエッチバックしてサイドウォール19をオフセットスペーサ33aの側面上に形成する。ここで、一般的ではないが、サイドウォールの形成工程を省略することもできる。その後、ゲート電極34、オフセットスペーサ33a及びサイドウォール19をマスクとして加速電圧30keV、 $3 \times 10^{13} / \text{cm}^{-2}$ でAsイオンのイオン注入を行ない、エクステンション領域18の外側に高濃度ソース・ドレイン領域17を形成する。

【0089】但し、メモリセル等に使用する半導体装置

の場合、高濃度ソース・ドレイン領域を形成せず、エクステンション領域またはLDD領域のみを半導体基板内のゲート電極の両側方に形成することがある。

【0090】次に、図5(e)に示す工程で、CVD法によりコバルト等の金属膜を基板上に10nm程度堆積し、400~500℃に加熱してコバルト膜とシリコンまたはポリシリコンとを反応させた後、エッチングにより未反応のコバルト膜を除去する。その後、700~800℃でシリサイドの相転換を行なうことにより、ゲート電極34上にコバルトシリサイド膜40a(ゲートシリサイド膜)が形成され、高濃度ソース・ドレイン領域17の露出しているシリコン表面上にコバルトシリサイド膜40bが形成される。ここで、ゲート電極34の上部のコバルトシリサイド膜40aは本実施形態に必須であるが、高濃度ソース・ドレイン領域17の表面部のコバルトシリサイド膜40bは形成されていなくともよい。

【0091】本実施形態によれば、実効的なゲート長が従来例及び第1、第2の実施形態と同一のゲート電極において、従来の方法や上記第1及び第2の実施形態よりもゲート電極の上面の面積を広くすることができ、ゲート電極上のシリサイドを物理的に形成しやすくてできる。尚、シリサイドを形成するための金属材料としてはコバルトの他に、タングステン、チタン、ニッケル等を使用してもよい。

【0092】本実施形態は、下部ゲート電極31aを構成するポリシリコンには、シリコンの酸化を促進する機能を持つフッ素を、上部ゲート電極32aを構成するポリシリコンには、シリコンの酸化を抑制する窒素をそれぞれ導入することを特徴としている。その理由について、以下に説明する。

【0093】フッ素、ヨウ素、キセノン等の不純物は、シリコンまたはポリシリコンに加えることにより、これらの酸化を促進する機能を持っている。また、第1の実施形態で述べたように、窒素は、シリコンの酸化を抑制する機能を持っている。

【0094】本実施形態では、フッ素の持つシリコンの酸化を促進する機能と窒素の持つシリコンの酸化を抑制する機能の両方を利用し、ゲート電極の下部を構成するポリシリコンにフッ素を導入し、上部を構成するポリシリコンには窒素を導入する。これにより、ゲート電極34のうち下部ゲート電極31aの側面には厚く、上部ゲート電極32aの側面には薄いオフセットスペーサ33aを形成することができる。また、オフセットスペーサ33aの上部と下部の膜厚の比は、下部ゲート電極31aに導入するフッ素の濃度と上部ゲート電極32aに導入する窒素の濃度により調節することが可能である。

【0095】図5(e)において、下部ゲート電極31aの電極ゲート長を L_g 、オフセットスペーサ33aの最も厚い下部での膜厚を L_{w_1} 、(うちポリシリコン侵食

分は $3/5L_{w_1}$)、オフセットスペーサ33aの最も薄い上面での膜厚を L_{w_2} (うちポリシリコン侵食分は $3/5L_{w_2}$)とすると、実効的なゲート長 L_n は $L_g + 2L_{w_1}$ であり、上部ゲート電極32aの上面の寸法は、 $L_g + 2(3/5L_{w_1} - 3/5L_{w_2})$ となる。実効的なゲート長 L_n を0.10 μm とした場合、ゲートオーバーラップ容量を小さく維持するためには、オフセットスペーサ33aの最も厚い部分での膜厚 L_{w_1} は、10nmが要求される。このとき、 L_{w_2} は1.5nm、上部ゲート電極32aの寸法は約0.09 μm となり、下部ゲート電極31aの寸法は約0.08 μm となる。このように、 L_{w_2} は第1の実施形態におけるオフセットスペーサの上面での膜厚をよりも小さくすることが可能なので、ゲート電極の上面の寸法は0.089 μm より大きくできる。つまり、本実施形態においては、実効的なゲート長を従来例と同じとした場合、従来の方法及び第1、第2の実施形態よりもゲート電極の上面の面積を広く確保できることになる。さらに、本実施形態においては、上記実施形態1及び2と比較してもより大きいゲート電極の上面の面積を確保できる。これは、ゲート電極下部にはシリコンの酸化を促進するフッ素を、ゲート電極上部にはシリコンの酸化を抑制する窒素をそれぞれ導入しているため、実効ゲート長を同じとしたとき、オフセットスペーサの上部の膜厚をより薄くできるからである。

【0096】次に、本実施形態に係る半導体装置は、図5(e)に示すように、シリコン基板11上に形成されたシリコン酸化膜からなるゲート絶縁膜12aと、上記ゲート絶縁膜12aの上に形成された、フッ素を含むポリシリコンからなる下部ゲート電極31aと、下部ゲート電極31aよりも寸法の大きい、窒素を含むポリシリコンからなる上部ゲート電極32a(下部ゲート電極31aと上部ゲート電極32aを合わせてゲート電極34とする)と、下部ゲート電極31aの側面上では膜厚が厚く、上部ゲート電極32aの側面上では膜厚が薄いシリコン酸化物からなるオフセットスペーサ33aと、オフセットスペーサ33aの側面上に設けられたサイドウォール19とを備えている。また、シリコン基板11内における、ゲート電極34の両端直下とその側方にはエクステンション領域18が設けられ、エクステンション領域18の外側には高濃度ソース・ドレイン領域17が設けられている。さらに、ゲート電極34の上部にはコバルトシリサイド膜40aが形成され、高濃度ソース・ドレイン領域17の表面部にはコバルトシリサイド膜40bが形成されている。

【0097】尚、オフセットスペーサ33aの膜厚は、下部ゲート電極31aの側面上あるいは上部ゲート電極32aの側面上で均一でなくともよいが、オフセットスペーサ33aの下部は上部より必ず厚く形成される。

【0098】本実施形態に係る半導体装置の特徴は、下

部ゲート電極 31a 及び上部ゲート電極 32a の側面を酸化して設けられたオフセットスペーサ 33a が、下部ゲート電極 31a の側面上ではフッ素により酸化が促進されて膜厚が厚く、上部ゲート電極 32a の側面上では、窒素により酸化が抑制されて膜厚が薄く形成されている点にある。これにより、ゲート電極の上面の面積を広く確保しつつ、実効的なゲート長をより短くすることができる。よって、ゲート電極における寄生抵抗が小さく、且つ駆動力の大きい半導体装置が得られる。

【 0 0 9 9 】

【発明の効果】本発明の半導体装置またはその製造方法によれば、ゲート電極に酸化を促進あるいは抑制する機能を持つ不純物を導入する等の手段により、オフセットスペーサによりゲート長寸法を微細化したゲート電極において、ゲート電極の上面の面積を十分確保できるので、ゲート電極上に良好なシリサイド膜を形成することができる。すなわち、ゲート抵抗を小さく維持しつつ、デザインルールよりも微細化されたゲート長を有する半導体装置が得られる。

【図面の簡単な説明】

【図１】（a）～（e）は、本発明の第１の実施形態における半導体装置の製造工程を示す断面図である。

【図2】窒素をポリシリコンに導入した場合の窒素濃度と熱酸化法による酸化速度との関係を示す図である。

【図3】本発明の第1の実施形態において、図1（d）で示された工程での半導体装置の断面図である。

【図４】（a）～（e）は、本発明の第２の実施形態における半導体装置の製造工程を示す断面図である。

【図5】(a)～(e)は、本発明の第3の実施形態における半導体装置の製造工程を示す断面図である。

【図6】(a)～(e)は、オフセットスペーサを形成する際にCVD法によるシリコン酸化膜の堆積を用いた従来の半導体装置の製造工程を示す断面図である。

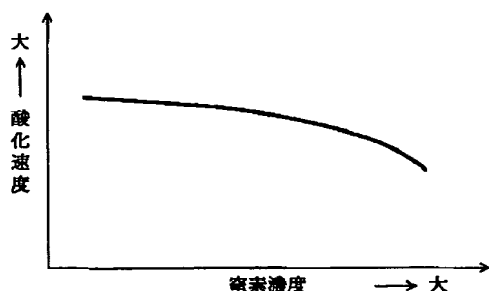
【図7】(a)～(e)は、オフセットスペーサを形成する際に熱酸化法を用いた従来の半導体装置の製造工程を示す断面図である。

＊【図８】従来の実施形態の半導体装置における、ゲート電極のバターニング寸法と、ゲート電極の断面形状をそれぞれ示す図である。

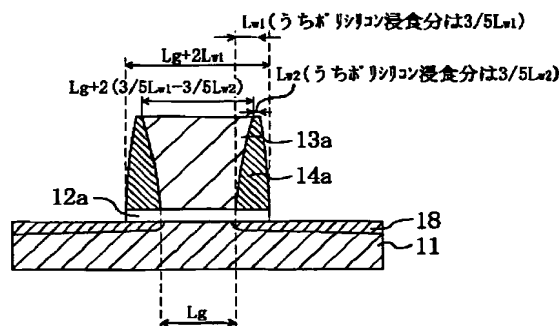
【符号の説明】

| | |
|----------|------------|
| 1 1 | シリコン基板 |
| 1 2 | シリコン酸化膜 |
| 1 2 a | ゲート絶縁膜 |
| 1 3 | ポリシリコン膜 |
| 1 3 a | ゲート電極 |
| 10 1 4 | シリコン酸化膜 |
| 1 4 a | オフセットスペーサ |
| 1 7 | 高濃度ソース・ドレイ |
| ン領域 | |
| 1 8 | エクステンション領域 |
| 1 9 | サイドウォール |
| 2 0 a | シリサイド膜 |
| 2 0 b | シリサイド膜 |
| 2 1 | 第1のポリシリコン膜 |
| 2 1 a | 下部ゲート電極 |
| 20 2 2 | 第2のポリシリコン膜 |
| 2 2 a | 上部ゲート電極 |
| 2 3 | シリコン酸化膜 |
| 2 3 a | オフセットスペーサ |
| 2 4 | ゲート電極 |
| 3 0 a | シリサイド膜 |
| 3 0 b | シリサイド膜 |
| 3 1 | 第1のポリシリコン膜 |
| 3 1 a | 下部ゲート電極 |
| 3 2 | 第2のポリシリコン膜 |
| 30 3 2 a | 上部ゲート電極 |
| 3 3 | シリコン酸化膜 |
| 3 3 a | オフセットスペーサ |
| 3 4 | ゲート電極 |
| 4 0 a | シリサイド膜 |
| 4 0 b | シリサイド膜 |

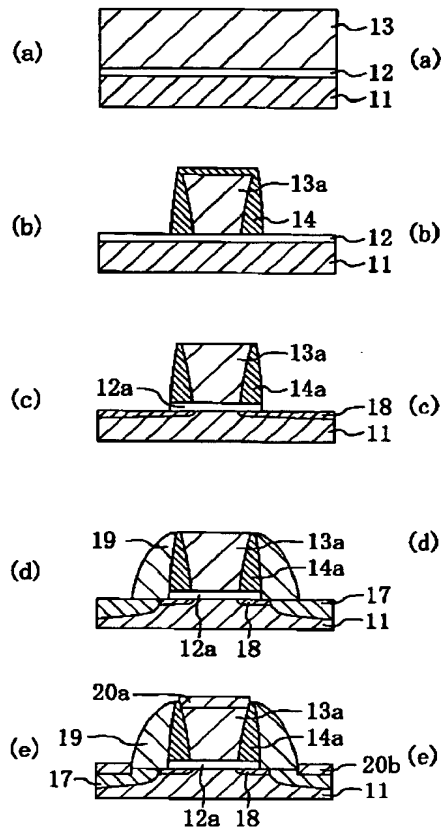
【図2】



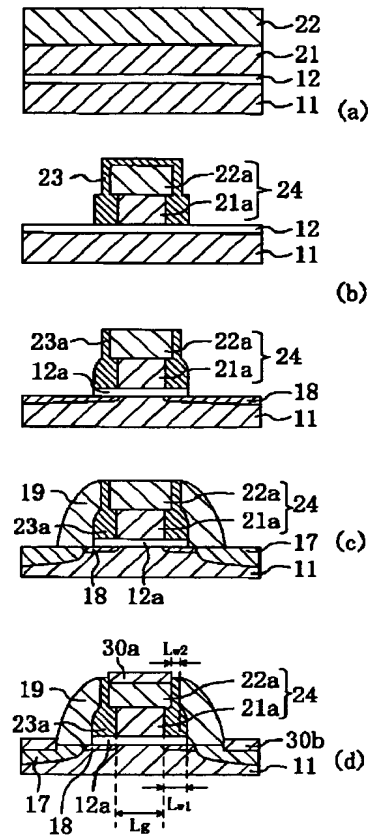
【圖3】



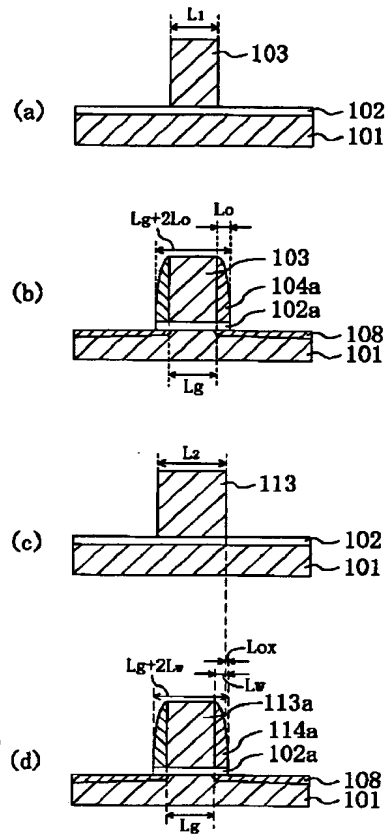
【図1】



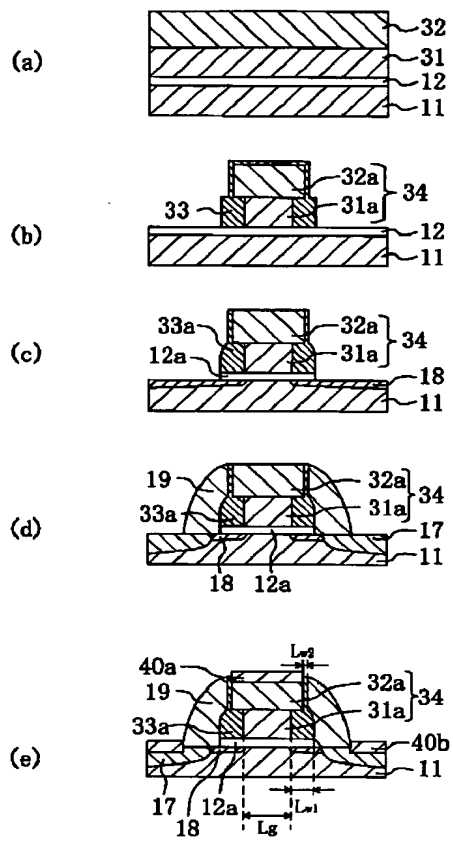
【図4】



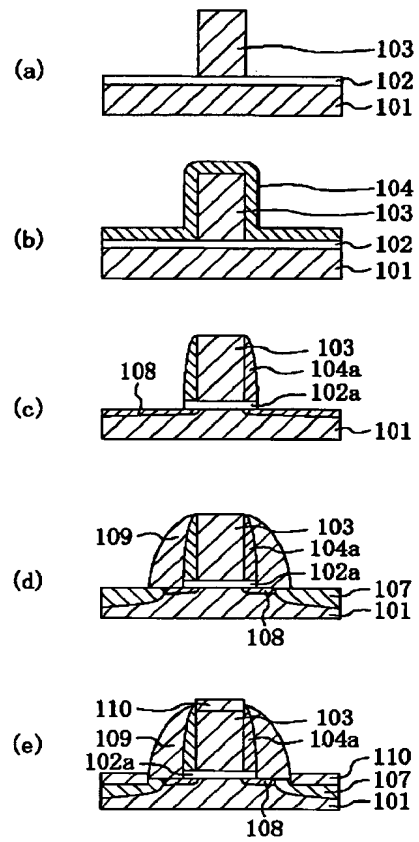
【図8】



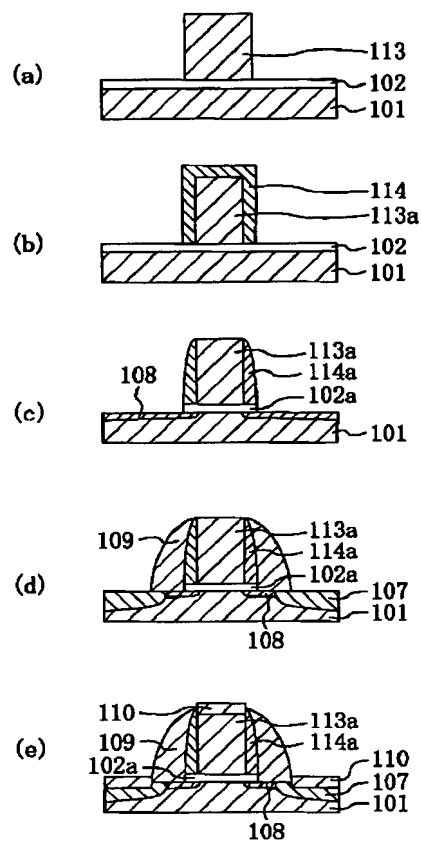
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 宮永 績
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 中岡 弘明
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 4M104 AA01 BB01 BB20 BB21 BB25
BB28 BB39 CC05 DD04 DD26
DD43 DD65 DD80 DD84 DD88
FF07 FF08 FF14 GG09 HH14
HH16
5F140 AA01 AA39 AC32 BA01 BE07
BF04 BF11 BF18 BF37 BF38
BF42 BG09 BG12 BG28 BG32
BG38 BG44 BG49 BG52 BG53
BG56 BG57 BH14 BH15 BJ01
BJ08 BK02 BK13 BK34 BK38
CF04